



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **56123164 A**(43) Date of publication of application: **28.09.81**

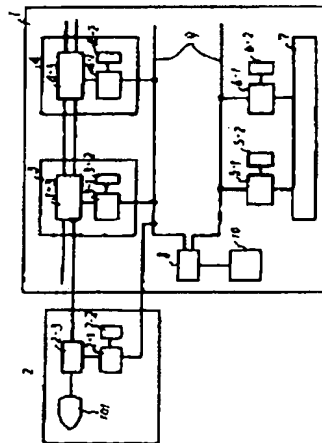
(51) Int. Cl.

H04M 3/36
// H04Q 3/54(21) Application number: **55027099**(22) Date of filing: **04.03.80**(71) Applicant: **FUJITSU LTD NIPPON**
TELEGR & TELEPH CORP <NTT>
OKI ELECTRIC IND CO LTD NEC
CORP HITACHI LTD(72) Inventor: **TSUBOI YOJI**
SATO FUMITO
SATO IKUO
KITAMURA KEIICHI
KUSABA AKIRA**(54) TRAFFIC MEASUREMENT SYSTEM****(57) Abstract:**

PURPOSE: To perform independent and centralized measuring, collecting and output processing of traffic by separating it from a switching board body, by providing a processor dedicated to traffic measurement and a dedicated external circuit.

CONSTITUTION: Monitor test control processor STC2-1 sends a request for traffic information to an optional control processor or optional network control processor by a traffic collecting output program and then collects traffic data from common memory 7 and individual memories 3-2, 4-2, 5-2, and 6-2 of respective processors. Further, STC2-1 sends a false call to main switchboard 1, which returns an IRT acquisition end signal to STC2-1; and a timer for delay time measurement counts the time to measure an input-output response delay time, and a selective number is also sent out to count the time until a start signal is received, thereby measuring a switching delay time.

COPYRIGHT: (C)1981,JPO&Japio



⑫ 公開特許公報 (A)

昭56—123164

⑤ Int. Cl.³
H 04 M 3/36
// H 04 Q 3/54

識別記号

1 0 3

庁内整理番号

7830—5K
6446—5K

④ 公開 昭和56年(1981)9月28日
発明の数 1
審査請求 未請求

(全 4 頁)

④ トラヒック測定方式

① 特 願 昭55—27099
② 出 願 昭55(1980)3月4日
⑦ 発 明 者 坪井洋治
川崎市中原区上小田中1015番地
富士通株式会社内
⑧ 発 明 者 佐藤文人
武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内
⑨ 発 明 者 佐藤幾夫
東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑦ 発 明 者 喜多村恵一
東京都港区芝五丁目33番1号日
本電気株式会社内
⑧ 発 明 者 草場彰
横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
⑨ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑩ 出 願 人 日本電信電話公社
⑪ 出 願 人 沖電気工業株式会社
東京都港区虎ノ門1丁目7番12
号
⑫ 代 理 人 弁理士 松岡宏四郎

最終頁に続く

明 細 書

1. 発明の名称

式
トラヒック測定方法

2. 特許請求の範囲

複数の制御プロセッサ及びこれらを接続する
通信制御装置で構成されるマルチプロセッサ制
御電子交換システムにおいて、前記複数のプロ
セッサのうち1台を前記システムのトラヒック
測定用の専用プロセッサとし、前記複数のプロ
セッサ間の通信バスを経由してトラヒックデー
タの収集、編集、出力処理を集中的に行ない、
かつ前記専用プロセッサと本体交換機の通話路
系とを接続して、前記本体交換機のトラヒック
特性を測定する専用外部回路を具備することを
特徴とするトラヒック測定方式。

8. 発明の詳細な説明

本発明はマルチプロセッサ制御による電子交
換システムにおけるトラヒックの測定方式に関
するものである。

従来この種の電子交換システムにおいて、

トラヒック測定処理は中央制御プロセッサが呼
の交換制御と同時に行なっていた。特にシング
ルプロセッサ方式においては、トラヒック測定
機能を交換機能から分離独立させることが課題
の一つであった。従って従来のトラヒック測定
方式においては、次に示すような欠点があった。

- (1) 中央制御プロセッサにおいて常にトラヒッ
ク測定を意識した処理が必要となる。
- (2) 接続遅延測定のようなシステムの総合的な
トラヒックを呼処理に変更を加えずに、外
部的に測定することが不可能である。

本発明は上記欠点を解決するため、トラヒッ
ク測定用の専用プロセッサ及び専用外部回路を
具備することにより、トラヒックの測定、収集、
編集、出力処理を本体交換機より分離し、独立、
集中化したトラヒック測定方式を提供すること
を目的とする。

上記目的を達成するため、本発明は複数の制
御プロセッサ、及びこれらを接続する通信制御
装置で構成されるマルチプロセッサ制御電子交

換システムにおいて、前記複数のプロセッサのうちの1台を前記システムのトラヒック測定用の専用プロセッサとし、前記複数のプロセッサ間の通信バスを經由してトラヒックデータの収集、編集、出力処理を集中的に行い、かつ前記専用プロセッサと本体交換機の通話路系とを接続して、前記本体交換機のトラヒック特性を測定する専用外部回路を具備することを特徴とするものである。

以下図面により、本発明の実施例を説明する。

第1図は本発明によるトラヒック測定方式のシステム構成図であり、第2図は本発明のトラヒック測定機能の集中化する場合のトラヒック情報の流れを示す具体的構成図である。

第1図において、1は本体交換機、2はデジタル保守運用装置、2-1は監視試験制御プロセッサ、2-8は通話路試験装置、8、4は通話路系サブユニット、8-1、4-1はネットワーク制御プロセッサ、8-8、4-8はネットワーク、5-1、6-1は制御プロセッサ、

報の流れを説明する。

第2図において、21はトラヒック収集出力プログラム、22は通信オーダー編集部、28は加工、編集出力部、51はデータ収集アクセスメソッド部、52は原始データ収集部、58は通信オーダー編集部、101はディスプレイ装置、102はバブル装置、108は磁気テープをそれぞれ示す。またaは同期送信信号線、bは同期応答信号線であり、各a線、b線を流れる信号情報のCIDは送信先プロセッサ種別を表わし、SIDは要求種別を表わす。

監視試験制御プロセッサ(8TC)2-1はトラヒック収集出力プログラム21から任意の制御プロセッサ(CP)又は任意のネットワーク制御プロセッサ(NP)に対してトラヒック情報の要求を発し、共通メモリ(CM)7、及び各プロセッサの個別メモリ(IM)上からトラヒックデータを収集する。第2図の場合は、8TC2-1が制御プロセッサ(CP)5-1に対してトラヒック情報の要求を発し、その

6-123164(2)
2-2, 8-2, 4-2, 6-2, 6-2は各プロセッサの個別メモリ、7は共通メモリ、8はプロセッサ間通信制御装置、9はプロセッサ間通信バス、10はファイルメモリ装置、11はグラフィックディスプレイ装置である。デジタル保守運用装置2はトラヒック測定等の保守運用機能を集中した装置であり、通話路試験装置(8PTE)2-8, 監視試験プロセッサ(8TC)2-1, 及び同プロセッサの個別メモリ(STC-IM)2-2より構成される。

8TC2-1は本体交換機1におけるトラヒックデータを共通メモリ(CM)7、及び各プロセッサの個別メモリ(IM)8-2, 4-2, 5-2, 6-2上から、プロセッサ間通信バス9, プロセッサ間通信制御装置(IPC)8を經由して収集し、STC-IM2-2上で編集、加工を行ない、グラフィックディスプレイ装置101への出力を一括集中して行なっている。

次に、第2図によって具体的なトラヒック情

個別メモリ(IM)5-2からトラヒック情報を収集する場合を示している。即ち、8TC2-1にて通信オーダーを編集して、a線にてトラヒック転送要求をプロセッサ間通信制御装置(IPC)8を經由し、同期送信される。CIDにより決定されたCP5-1ではデータ収集アクセスメソッド部51の収集順序に従ってトラヒック原始データを個別メモリ(IM)5-2から原始データ収集部52に収集し、58にて通信オーダーに編集して該オーダーをb線にて同期応答させる。8TC2-1では、原始データを受け取ると、処理を同期させて再開し、自プロセッサ内で加工し、ディスプレイ装置101, 磁気バブル装置102, 磁気テープ108にトラヒック情報を出力する。

この場合、本体交換機1においては、トラヒックに関する処理としては原始データの計数のみとなり、交換呼処理の簡明化が可能となっている。

また8TC2-1は本体交換機1のネット

ワーク 8-8 と通話回線により接続している
8PTE 2-8 を制御し、本体交換機 1 に対し
て擬似呼を発生させることにより、本体交換機
における交換処理遅延等のトラヒックを外部的
に測定することができる。以下、本体交換機 1
における入信号応答遅延及び交換遅延の測定方
法を第 8 図を用いて順を追って説明する。

本方式では STC 2-1 側から本体交換機
1 に対して擬似呼を発生させる。M-OGT は
擬似呼発生用の出トランク、M-ICT は擬似
呼着信用の入トランク、OST は出センダトラ
ンクを示す。A の状態は M-OGT が空の場合
であり、ST から測定開始の起動を M-OGT
を制御して C 線經由本体交換機 1 に対し後位起
動信号を送出する。d は本体交換機 1 の IRT
捕捉完了信号であり、STC 2 に返送される。
STC 2-1 では遅延時間測定用のタイマによ
って g から h の時間をカウントして入信号応
答遅延時間 T0 を測定する。B の状態は出セン
ダトランク OST と M-OGT とが接続された

る。

以上説明したように、本発明によればトラヒ
ック測定用の専用プロセッサ及び専用外部回路
を具備し、トラヒック測定処理を本体交換機か
ら専用プロセッサに独立、集中させることによ
り、本体交換機においてトラヒック測定を意図
した処理が不要となり、また接続遅延時間等の
システムの総合的なトラヒックを外部的に測定
することができるという利点がある。

4. 図面の簡単な説明

第 1 図は本発明によるトラヒック測定方式の
システム構成図、第 2 図は本発明によるトラヒ
ック測定機能の集中化する場合のトラヒック情
報の流れを示す具体的構成図、第 8 図は本体交
換機における入信号応答遅延及び交換遅延の測
定方法の説明図である。

1・・・本体交換機、2・・・ディジタル保守運
用装置、2-1・・・監視試験制御プロセッサ、
2-8・・・通話路試験装置、8、4・・・通話路
系サブユニット、8-1、4-1・・・ネットワ

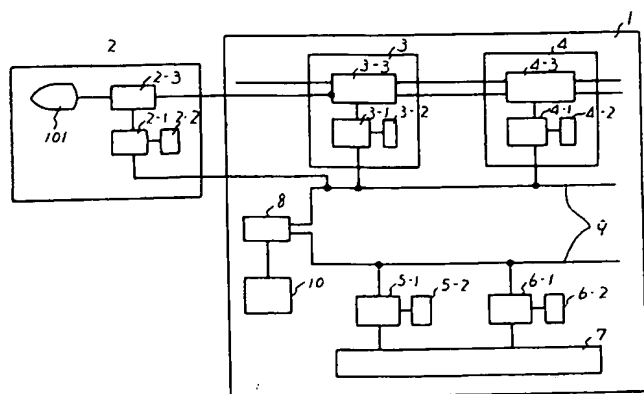
第 8 図 5-123164(3)

場合、即ち後位の IRT 捕捉完了待の状態であ
り、d を受信すると C の状態即ち数字送出を開
始する。e は後位交換機に対する数字送出を示
す。D の状態は M-ICT が空の場合であり、
f によって擬似呼は本体交換機において折り返
され起動信号が送られてくる。STC 2-1
では遅延時間測定用のタイマによって i から j
までの時間をカウントして交換遅延時間 T1 を
測定する。

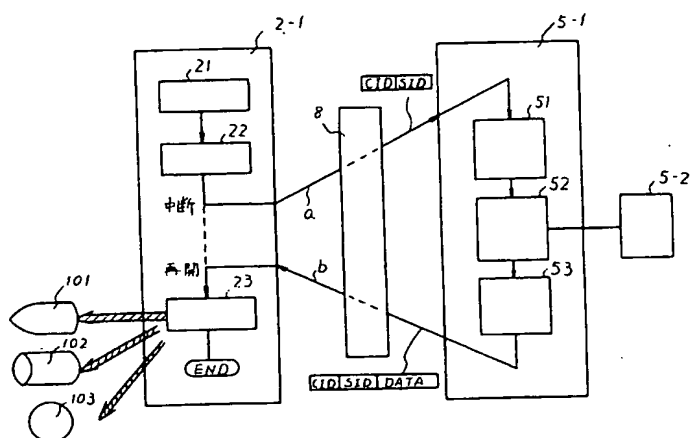
以上のように本体交換機の入信号応答遅延時
間は、STC 2-1 が本体交換機に対し起動
信号を発してから、M-OGT において IRT
捕捉完了信号を受信するまでの時間 (g → h)
であり、本体交換機 1 における交換遅延時間は
局間シーケンスに従い STC 2 が選択数字を
送出し、送出が完了した時点から、M-ICT
において後位起動信号を受信するまでの時間
(i → j) である。以上の方法により本体交換
機の交換処理に影響を与えずに本体交換機に
おける処理遅延時間を測定することが可能とな

ーク制御プロセッサ、3-8、3-4・・・ネット
ワーク、5-1、6-1・・・制御プロセッサ、
2-2、8-2、4-2、5-2、6-2・・・
各プロセッサの個別メモリ、7・・・共通メモリ、
8・・・プロセッサ間通信制御装置、9・・・プロ
セッサ間通信バス、10・・・ファイルメモリ装
置、21・・・トラヒック収集出力プログラム、
22・・・通信オーダ編集部、28・・・加工、編
集出力部、51・・・データ収集アクセスメソ
ッド部、52・・・原始データ収集部、58・・・通
信オーダ編集部、101・・・ディスプレイ装置、
102・・・磁気バブル装置、108・・・磁気テ
ープ、CID・・・送信先プロセッサ種別、
SID・・・要求種別、DATA・・・トラヒック
情報、M-OGT・・・擬似呼発生用出トランク、
M-ICT・・・擬似呼着信用入トランク、
OST・・・出センダトランク

代理人 弁理士 松岡宏四郎



第 1 図



第 2 図

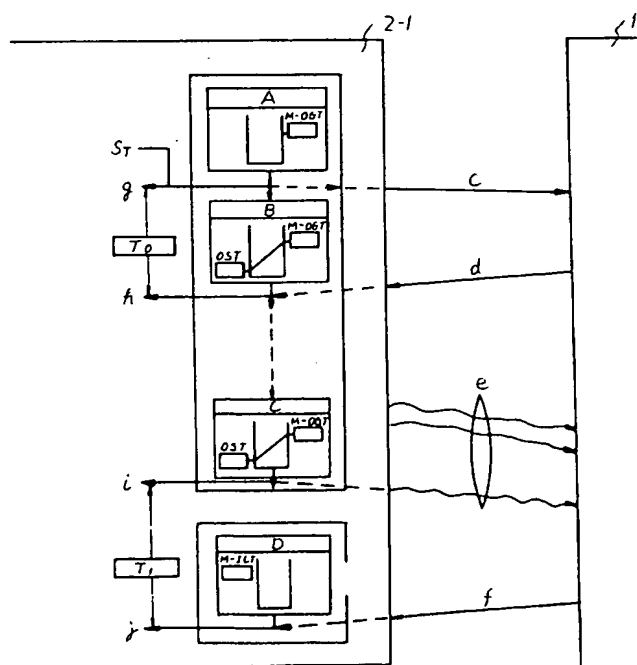
第 1 頁の続き

⑦出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

⑦出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号



第 3 図